

Chương 3

CÁC PHẦN TỬ LOGIC CƠ BẢN

3.1. KHÁI NIỆM VỀ MẠCH SỐ

3.1.1. Mạch tương tự

Mạch tương tự (còn gọi là mạch Analog) là mạch dùng để xử lý các tín hiệu tương tự. Tín hiệu tương tự là tín hiệu có biên độ biến thiên liên tục theo thời gian.

Việc xử lý bao gồm các vấn đề: Chinh lưu, khuếch đại, điều chế, tách sóng...

Nhược điểm của mạch tương tự:

- Khả năng chống nhiễu thấp (nhiều dễ xâm nhập).
- Việc phân tích thiết kế mạch phức tạp.

Để khắc phục những nhược điểm này người ta sử dụng mạch số.

3.1.2. Mạch số

Mạch số (còn gọi là mạch Digital) là mạch dùng để xử lý tín hiệu số. Tín hiệu số là tín hiệu có biên độ biến thiên không liên tục theo thời gian hay còn gọi là tín hiệu gián đoạn, được biểu diễn dưới dạng sóng xung với 2 mức điện thế cao và thấp mà tương ứng với hai mức điện thế này là hai mức logic 1 và 0 của mạch số.

Việc xử lý trong mạch số bao gồm các vấn đề như:

- Lọc số.
- Điều chế số / Giải điều chế số.
- Mã hóa / Giải mã ...

Ưu điểm của mạch số so với mạch tương tự :

- Độ chống nhiễu cao (nhiều khó xâm nhập).
- Phân tích thiết kế mạch số tương đối đơn giản.

Vì vậy, hiện nay mạch số được sử dụng khá phổ biến trong tất cả các lĩnh vực như: Đo lường số, truyền hình số, điều khiển số. . .

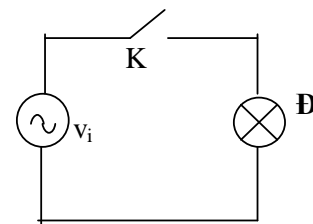
3.1.3. Họ logic dương/âm

Trạng thái logic của mạch số có thể biểu diễn bằng mạch điện đơn giản như trên hình 3.1:

Hoạt động của mạch điện này như sau:

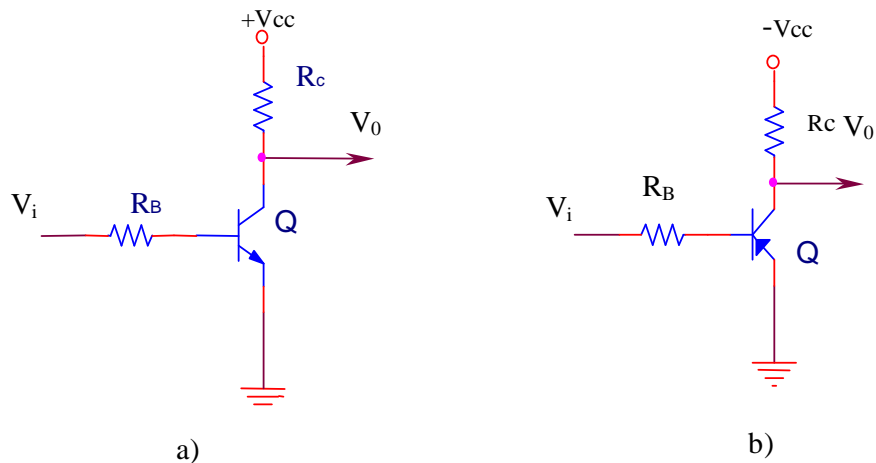
- K Mở : Đèn Tắt
- K Đóng : Đèn Sáng

Trạng thái **Đóng/Mở** của khóa K hoặc trạng thái **Sáng/Tắt** của đèn Đ cũng được đặc trưng cho hai trạng thái logic của mạch số.



Hình 3.1

Cũng có thể thay khóa K bằng khóa điện tử dùng BJT như sau (hình 3.2):



Hình 3.2. Biểu diễn trạng thái logic của mạch số bằng khóa điện tử dùng BJT

Giải thích các sơ đồ mạch:

Hình 3.2a:

- Khi $V_i = 0$: BJT tắt $\rightarrow V_0 = +V_{cc}$
- Khi $V_i > a$: BJT dẫn bão hòa $\rightarrow V_0 = V_{ces} = 0,2 \text{ (V)} \approx 0 \text{ (V)}$.

Hình 3.2b:

- Khi $V_i = 0$: BJT tắt $\rightarrow V_0 = -V_{cc}$
- Khi $V_i < -a$: BJT dẫn bão hòa $\rightarrow V_0 = V_{ces} = -V_{ecs} = -0,2 \text{ (V)} \approx 0 \text{ (V)}$.

Vậy, trong cả 2 sơ đồ mức điện thế vào/ra của khoá điện tử dùng BJT cũng tương ứng với 2 trạng thái logic của mạch số.

Người ta phân biệt ra hai họ logic tùy thuộc vào mức điện áp:

- Nếu chọn : $V_{logic 1} > V_{logic 0} \rightarrow$ họ logic dương
- Nếu chọn : $V_{logic 1} < V_{logic 0} \rightarrow$ họ logic âm

Logic dương và logic âm là những họ logic tổ, ngoài ra còn có họ logic mờ (Fuzzy Logic) hiện đang được ứng dụng khá phổ biến trong các thiết bị điện tử và các hệ thống điều khiển tự động.

3.2. CÔNG LOGIC (LOGIC GATE)

3.2.1. Khái niệm

Cổng logic là một trong các thành phần cơ bản để xây dựng mạch số. Cổng logic được chế tạo trên cơ sở các linh kiện bán dẫn như Diode, BJT, FET để hoạt động theo bảng trạng thái cho trước.

3.2.2 Phân loại

Có ba cách phân loại cổng logic:

- Phân loại cổng theo chức năng.
- Phân loại cổng theo phương pháp chế tạo.
- Phân loại cổng theo ngõ ra.

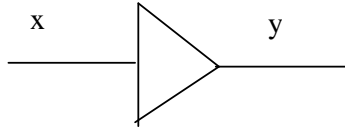
1. Phân loại cổng logic theo chức năng

a. Cổng ĐỆM (BUFFER)

Cổng đệm (BUFFER) hay còn gọi là cổng không đảo là cổng có một ngõ vào và một ngõ ra với ký hiệu và bảng trạng thái hoạt động như hình vẽ.

Phương trình logic mô tả hoạt động của cổng đệm: $y = x$

Bảng trạng thái



x	y
0	0
1	1

Hình 3.3. Ký hiệu và bảng trạng thái của cổng đệm

Trong đó:

- x là ngõ vào có trở kháng vào Z_v vô cùng lớn \rightarrow do đó dòng vào của cổng đệm rất nhỏ.
- y là ngõ ra có trở kháng ra Z_{ra} nhỏ \rightarrow cổng đệm có khả năng cung cấp dòng ngõ ra lớn.

Chính vì vậy người ta sử dụng cổng đệm theo 2 ý nghĩa sau:

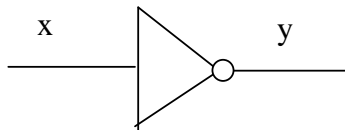
- Dùng để phối hợp trở kháng.
- Dùng để cách ly và nâng dòng cho tải.

Về phương diện mạch điện có thể xem cổng đệm (cổng không đảo) giống như mạch khuếch đại C chung (đồng pha).

b. Cổng ĐẢO (NOT)

Cổng ĐẢO (còn gọi là cổng NOT) là cổng logic có 1 ngõ vào và 1 ngõ ra, với ký hiệu và bảng trạng thái hoạt động như hình vẽ:

Bảng trạng thái:



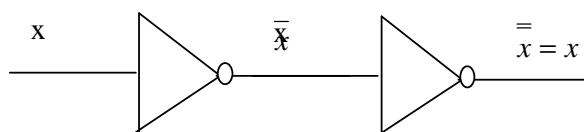
x	y
0	1
1	0

Hình 3.4. Ký hiệu và bảng trạng thái hoạt động của cổng đảo

Phương trình logic mô tả hoạt động của cổng ĐẢO: $y = \bar{x}$

Cổng đảo giữ chức năng như một cổng đệm, nhưng người ta gọi là đệm đảo vì tín hiệu ngõ ra ngược mức logic (ngược pha) với tín hiệu ngõ vào.

Trong thực tế ta có thể ghép hai cổng ĐẢO nối tiếp với nhau để thực hiện chức năng của cổng ĐỆM (cổng không đảo) (hình 3.5):



Hình 3.5. Sử dụng 2 cổng ĐẢO tạo ra cổng ĐỆM

Về phương diện mạch điện, cổng ĐẢO giống như tầng khuếch đại E chung.

c. Cổng VÀ (AND)

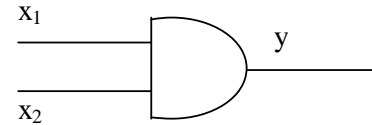
Cổng AND là cổng logic thực hiện chức năng của phép toán nhân logic các tín hiệu vào. Cổng AND 2 ngõ vào có 2 ngõ vào 1 ngõ ra ký hiệu như hình vẽ:

Phương trình logic mô tả hoạt động của cổng AND:

$$y = x_1 \cdot x_2$$

Bảng trạng thái hoạt động của cổng AND 2 ngõ vào:

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

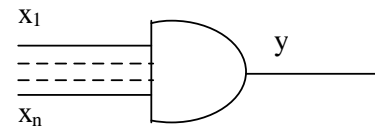


Hình 3.6. Cổng AND

Từ bảng trạng thái này có nhận xét: Ngõ ra y chỉ bằng 1 (mức logic 1) khi cả 2 ngõ vào đều bằng 1, ngõ ra y bằng 0 (mức logic 0) khi có một ngõ vào bất kỳ (x_1 hoặc x_2) bằng 0.

Xét trường hợp tổng quát cho cổng AND có n ngõ vào $x_1, x_2 \dots x_n$:

$$y_{AND} = \begin{cases} 0 & \exists x_i = 0 \\ 1 & \forall x_i = 1 \quad (i = 1, \bar{n}) \end{cases}$$



Vậy, đặc điểm của cổng AND là: ngõ ra y chỉ bằng 1 khi tất cả các ngõ vào đều bằng 1, ngõ ra y bằng 0 khi có ít nhất một ngõ vào bằng 0.

Hình 3.7. Cổng AND với n ngõ vào

Sử dụng cổng AND để đóng mở tín hiệu:

Cho cổng AND có hai ngõ vào x_1 và x_2 . Ta chọn:

- x_1 đóng vai trò ngõ vào điều khiển (control).
- x_2 đóng vai trò ngõ vào dữ liệu (data).

Xét các trường hợp cụ thể sau đây:

- Khi $x_1 = 0$: $y = 0$ bất chấp trạng thái của x_2 , ta nói **cổng AND khóa** lại không cho dữ liệu đưa vào ngõ vào x_2 qua cổng AND đến ngõ ra.

$$\text{Khi } x_1 = 1 \begin{cases} x_2 = 0 \Rightarrow y = 0 \\ x_2 = 1 \Rightarrow y = 1 \end{cases} \Rightarrow y = x_2$$

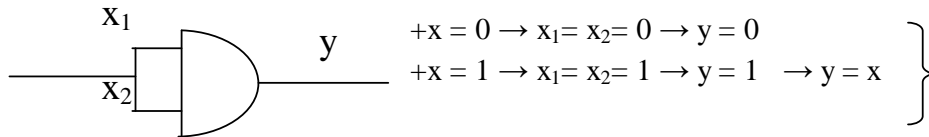
Ta nói **cổng AND mở** cho dữ liệu đưa vào ngõ vào x_2 qua cổng AND đến ngõ ra.

Vậy, có thể sử dụng một ngõ vào bất kỳ của cổng AND đóng vai trò tín hiệu điều khiển cho phép hoặc không cho phép luồng dữ liệu đi qua cổng AND.

Sử dụng cổng AND để tạo ra cổng logic khác:

Nếu sử dụng 2 tổ hợp đầu và cuối trong bảng giá trị của cổng AND và nối cổng AND theo sơ đồ như hình 3.8 thì có thể sử dụng cổng AND để tạo ra cổng đệm.

Trong thực tế, có thể tận dụng hết các cổng chưa dùng trong IC để thực hiện chức năng của các cổng logic khác.

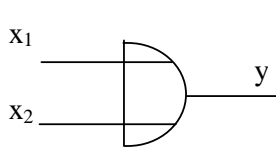


Hình 3.8. Sử dụng cổng AND tạo ra cổng đệm.

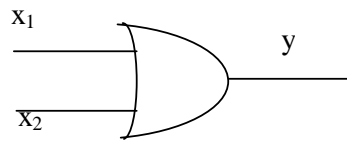
d. Cổng HOẶC (OR)

Cổng OR là cổng thực hiện chức năng của phép toán cộng logic các tín hiệu vào. Trên hình vẽ là ký hiệu của cổng OR 2 ngõ vào:

Phương trình logic cổng OR 2 ngõ vào: $y = x_1 + x_2$



Ký hiệu Châu Âu



Ký hiệu theo Mỹ, Nhật, Úc

Hình 3.9a Cổng OR 2 ngõ vào

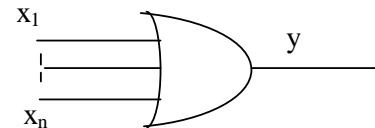
Bảng trạng thái mô tả hoạt động:

x_1	x_2	$y = x_1 + x_2$
0	0	0
0	1	1
1	0	1
1	1	1

Xét trường hợp tổng quát đối với cổng OR có n ngõ vào.

Phương trình logic:

$$y_{OR} = \begin{cases} 1 & \exists x_i = 1 \\ 0 & \forall x_i = 0 \quad (i = 1, \bar{n}) \end{cases}$$



Hình 3.9b Cổng OR n ngõ vào

Đặc điểm của cổng OR là: Tín hiệu ngõ ra chỉ bằng 0 khi và chỉ khi tất cả các ngõ vào đều bằng 0, ngược lại tín hiệu ngõ ra bằng 1 khi chỉ cần có ít nhất một ngõ vào bằng 1.

Sử dụng cổng OR để đóng mở tín hiệu:

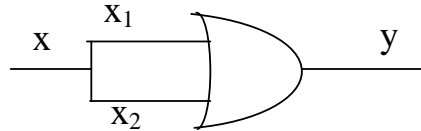
Xét cổng OR có 2 ngõ vào x_1, x_2 . Nếu chọn x_1 là ngõ vào điều khiển (control), x_2 ngõ vào dữ liệu (data), ta có các trường hợp cụ thể sau đây:

- $x_1 = 1$: $y = 1$, y luôn bằng 1 bất chấp $x_2 \rightarrow$ Ta nói **cổng OR khóa** không cho dữ liệu đi qua.

- $x_1 = 0$: $\begin{cases} x_2 = 0 \Rightarrow y = 0 \\ x_2 = 1 \Rightarrow y = 1 \end{cases} \Rightarrow y = x_2 \rightarrow$ Ta nói **cổng OR mở** cho dữ liệu từ ngõ vào x_2 qua cổng đến ngõ ra y .

Sử dụng cổng OR để thực hiện chức năng cổng logic khác: Sử dụng hai tổ hợp giá trị đầu và cuối của bảng trạng thái của cổng OR và nối mạch cổng OR như sơ đồ hình 3.10:

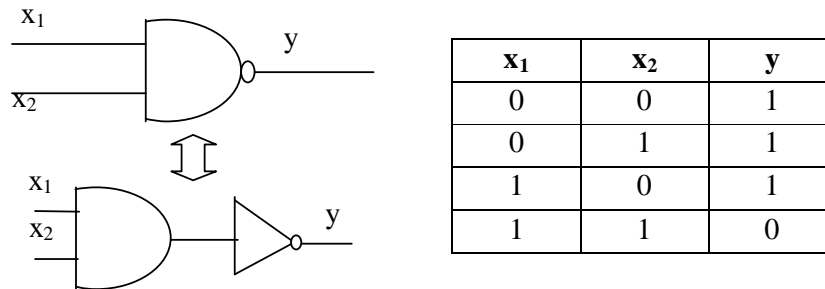
- $x = 0, x_1 = x_2 = 0 \Rightarrow y = 0$
 - $x = 1, x_1 = x_2 = 1 \Rightarrow y = 1$
- $\Rightarrow y = x$: cổng OR đóng vai trò như cổng đệm.



Hình 3.10. Sử dụng cổng OR làm cổng đệm

e. Cổng NAND

Đây là cổng thực hiện phép toán nhân đảo, về sơ đồ logic cổng NAND gồm 1 cổng AND mắc nối tiếp với 1 cổng NOT, ký hiệu và bảng trạng thái cổng NAND được cho như hình 3.11:



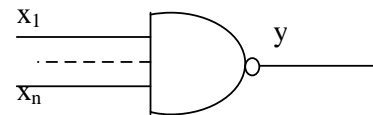
Hình 3.11. Cổng NAND: Ký hiệu, sơ đồ logic tương đương và bảng trạng thái

Phương trình logic mô tả hoạt động của cổng NAND 2 ngõ vào:

$$y = \overline{x_1 \cdot x_2}$$

Xét trường hợp tổng quát: Cổng NAND có n ngõ vào.

$$y_{\text{NAND}} = \begin{cases} 1 & \exists x_i = 0 \\ 0 & \forall x_i = 1 \quad (i = 1, \bar{n}) \end{cases}$$



Hình 3.12. Cổng NAND n ngõ vào

Vậy, đặc điểm của cổng NAND là: tín hiệu ngõ ra chỉ bằng 0 khi tất cả các ngõ vào đều bằng 1, và tín hiệu ngõ ra sẽ bằng 1 khi chỉ cần ít nhất một ngõ vào bằng 0.

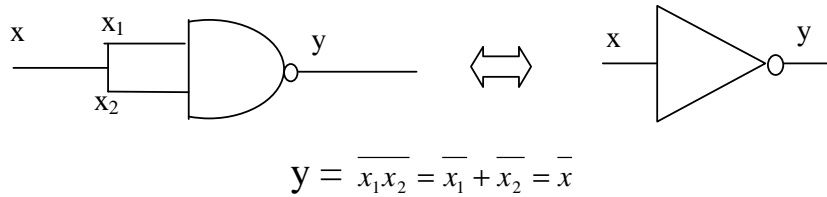
Sử dụng cổng NAND để đóng mở tín hiệu:

Xét cổng NAND có hai ngõ vào. Chọn x_1 là ngõ vào điều khiển (control), x_2 là ngõ vào dữ liệu (data), lần lượt xét các trường hợp sau:

- $x_1 = 0$: $y = 1$ (y luôn bằng 1 bất chấp giá trị của x_2) ta nói **cổng NAND khóa**.
- $x_1 = 1$: $\begin{cases} x_2 = 0 \Rightarrow y = 1 \\ x_2 = 1 \Rightarrow y = 0 \end{cases} \Rightarrow y = \overline{x_2} \rightarrow$ **Cổng NAND mở** cho dữ liệu vào ngõ vào x_2 đến ngõ ra đồng thời đảo mức tín hiệu ngõ vào x_2 , lúc này cổng NAND đóng vai trò là cổng ĐẢO.

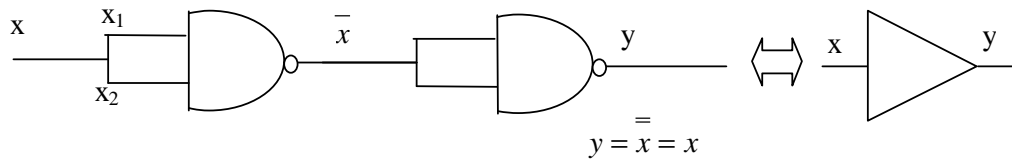
Sử dụng cổng NAND để tạo các cổng logic khác:

- dùng cổng NAND tạo cổng NOT:



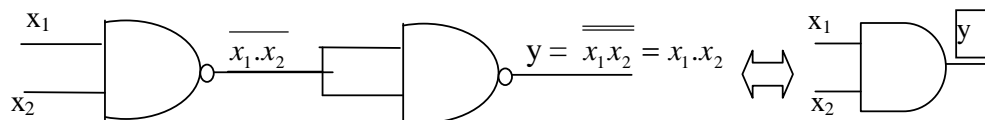
Hình 3.13a. Dùng cổng NAND tạo cổng NOT

- dùng cổng NAND tạo cổng BUFFER (cổng đệm):



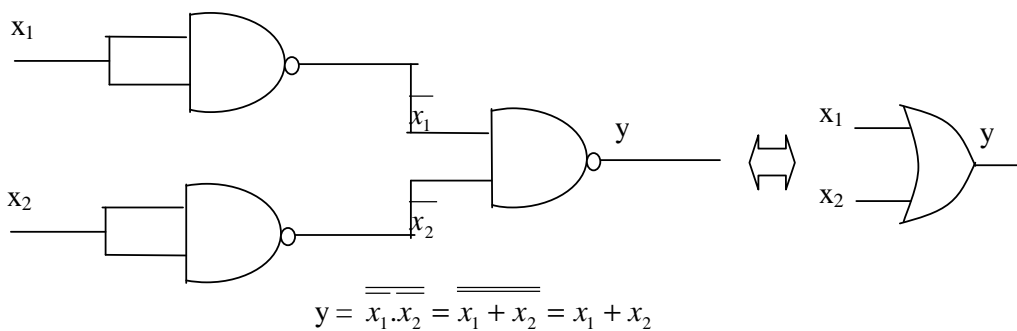
Hình 3.13b. Dùng cổng NAND tạo cổng ĐỆM (BUFFER)

- dùng cổng NAND tạo cổng AND:



Hình 3.13c. Sử dụng cổng NAND tạo cổng AND

- dùng cổng NAND tạo cổng OR:



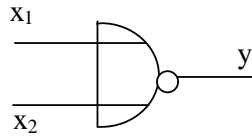
Hình 3.13d. Dùng cổng NAND tạo cổng OR

f. Cổng NOR

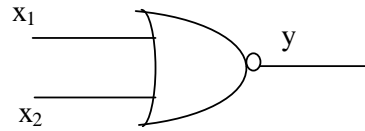
Cổng NOR, còn gọi là cổng Hoặc-Không, là cổng thực hiện chức năng của phép toán cộng đảo logic, là cổng có hai ngõ vào và một ngõ ra có ký hiệu như hình vẽ:

Phương trình logic mô tả hoạt động của cổng :

$$y = \overline{x_1 + x_2}$$



Ký hiệu theo Châu Âu



Ký hiệu theo Mỹ, Nhật

Hình 3.14. Ký hiệu cổng NOR

Bảng trạng thái mô tả hoạt động của cổng NOR :

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

Xét trường hợp tổng quát cho cổng NOR có n ngõ vào.

$$y_{\text{NOR}} = \begin{cases} 0 & \exists x_i = 1 \\ 1 & \forall x_i = 0 \quad (i = 1, \bar{n}) \end{cases}$$

Vậy đặc điểm của cổng NOR là: Tín hiệu ngõ ra chỉ bằng 1 khi tất cả các ngõ vào đều bằng 0, tín hiệu ngõ ra sẽ bằng 0 khi có ít nhất một ngõ vào bằng 1.

Sử dụng cổng NOR để đóng mở tín hiệu:

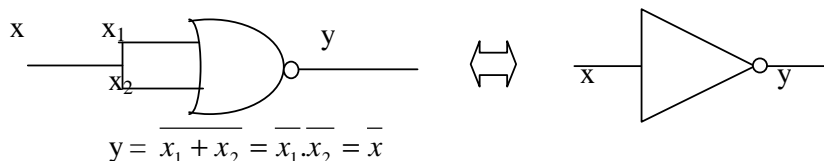
Xét cổng NOR có 2 ngõ vào, chọn x_1 là ngõ vào điều khiển, x_2 là ngõ vào dữ liệu. Ta có:

- $x_1 = 1$: $y = 0$ (y luôn bằng 0 bất chấp x_2), ta nói **cổng NOR khóa** không cho dữ liệu đi qua.
- $x_1 = 0$: $\begin{cases} x_2 = 0 \Rightarrow y = 1 \\ x_2 = 1 \Rightarrow y = 0 \end{cases} \Rightarrow y = \overline{x_2} \rightarrow$ ta nói **cổng NOR mở** cho dữ liệu từ ngõ vào x_2 qua

cổng NOR đến ngõ ra đồng thời đảo mức tín hiệu ngõ vào x_2 , lúc này cổng NOR đóng vai trò là cổng ĐẢO.

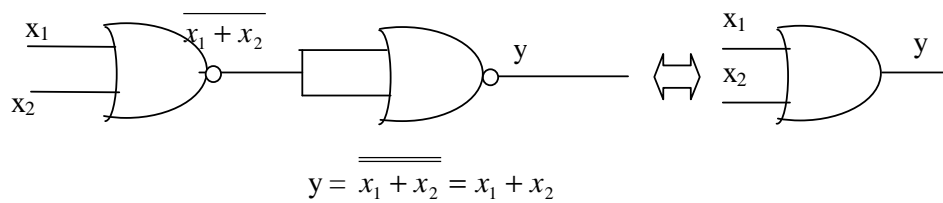
Sử dụng cổng NOR để thực hiện chức năng cổng logic khác:

- Dùng cổng NOR làm cổng NOT:



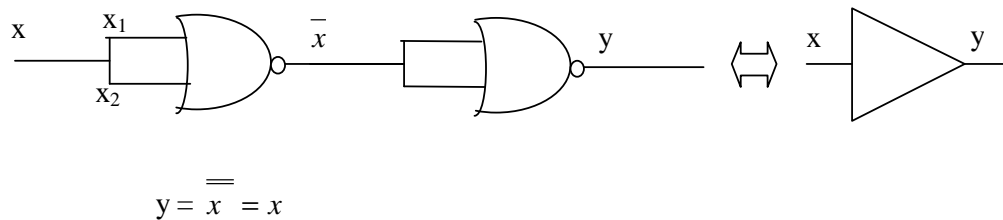
Hình 3.16a. Sử dụng cổng NOR tạo cổng NOT

- Dùng cổng NOR làm cổng OR :



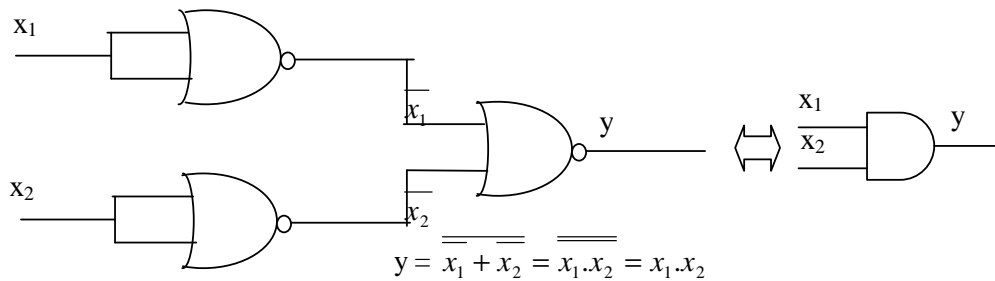
Hình 3.16b. Sử dụng cổng NOR tạo cổng OR

- Dùng cổng NOR làm cổng BUFFER :



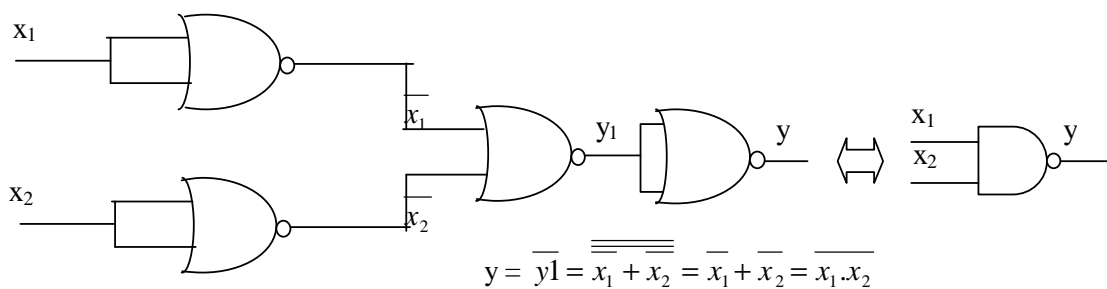
Hình 3.16c. Sử dụng cổng NOR tạo cổng BUFFER

- Dùng cổng NOR làm cổng AND :



Hình 3.16d. Sử dụng cổng NOR làm cổng AND

- Dùng cổng NOR làm cổng NAND:



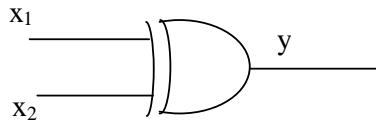
Hình 3.16e. Sử dụng cổng NOR làm cổng NAND

g. Cổng XOR (EX - OR)

Đây là cổng logic thực hiện chức năng của mạch cộng modulo 2 (cộng không nhớ), là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như hình vẽ.

Phương trình logic mô tả hoạt động của cổng XOR :

$$y_{XOR} = \overline{x_1} \cdot x_2 + x_1 \cdot \overline{x_2} = x_1 \oplus x_2$$



Hình 3.17. Cổng XOR

x ₁	x ₂	y
0	0	0
0	1	1
1	0	1
1	1	0

Cổng XOR được dùng để so sánh hai tín hiệu vào:

- Nếu hai tín hiệu vào là bằng nhau thì tín hiệu ngõ ra bằng 0
- Nếu hai tín hiệu vào là khác nhau thì tín hiệu ngõ ra bằng 1.

Các tính chất của phép toán XOR:

1. $x_1 \oplus x_2 = x_2 \oplus x_1$
2. $x_1 \oplus x_2 \oplus x_3 = (x_1 \oplus x_2) \oplus x_3 = x_1 \oplus (x_2 \oplus x_3)$
3. $x_1 \cdot (x_2 \oplus x_3) = (x_1 \cdot x_2) \oplus (x_1 \cdot x_3)$

Chứng minh:

$$\begin{aligned} \text{Vế trái} &= x_1 \cdot (x_2 \oplus x_3) = x_1(x_2 \cdot \overline{x_3} + \overline{x_2} \cdot x_3) = x_1x_2\overline{x_3} + x_1\overline{x_2}x_3 + x_1\overline{x_1}x_3 + x_1\overline{x_1}\overline{x_2} \\ &= x_1x_2\overline{x_3} + x_1\overline{x_2}x_3 + x_1\overline{x_1}x_3 + x_1\overline{x_1}\overline{x_2} = x_1x_2(\overline{x_3} + x_1) + x_1x_3(\overline{x_2} + \overline{x_1}) \\ &= x_1x_2\overline{x_1x_3} + \overline{x_1x_2}x_1x_3 = (x_1x_2) \oplus (x_1x_3) = \text{Vế phải (đpcm).} \end{aligned}$$

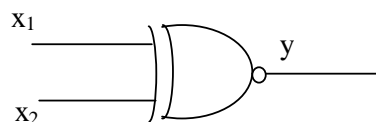
$$4. x_1 \oplus (x_2 \cdot x_3) = (x_1 \oplus x_3) \cdot (x_1 \oplus x_2)$$

$$\left. \begin{aligned} 5. x \oplus 0 &= x \\ x \oplus 1 &= \overline{x} \\ x \oplus x &= 0 \\ x \oplus \overline{x} &= 1 \end{aligned} \right\} \text{ Mở rộng tính chất 5: Nếu } x_1 \oplus x_2 = x_3 \text{ thì } x_1 \oplus x_3 = x_2$$

h. Cổng XNOR (EX - NOR)

Đây là cổng logic thực hiện chức năng của mạch cộng đảo modulo 2 (cộng không nhớ), là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như trên hình 3.19.

Phương trình logic mô tả hoạt động của cổng: $y = \overline{x_1 \oplus x_2} = \overline{x_1 \cdot x_2 + \overline{x_1} \cdot \overline{x_2}} = x_1 \cdot x_2 + \overline{x_1} \cdot \overline{x_2}$



Hình 3.19. Cổng XNOR

x ₁	x ₂	y
0	0	1
0	1	0
1	0	0
1	1	1

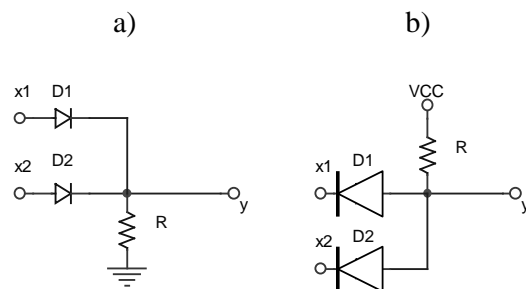
Tính chất của cổng XNOR:

1. $\overline{(x_1 \oplus x_2)(x_3 \oplus x_4)} = \overline{(x_1 \oplus x_2)} + \overline{(x_3 \oplus x_4)}$
2. $\overline{(x_1 \oplus x_2)} + \overline{(x_3 \oplus x_4)} = \overline{(x_1 \oplus x_2)(x_3 \oplus x_4)}$
3. $\overline{x_1 \oplus x_2} = \overline{x_1} \oplus x_2 = x_1 \oplus \overline{x_2}$
4. $x_1 \oplus x_2 = \overline{x_1} \oplus \overline{x_2}$
5. $\overline{x_1 \oplus x_2} = x_3 \Leftrightarrow x_1 \oplus x_3 = x_2$

Câu hỏi: Hãy thử chứng minh các tính chất từ 1 đến 5 ?

2. Phân loại cổng logic theo phương pháp chế tạo

a. Cổng logic dùng Diode



Hình 3.20. Sơ đồ mạch cổng logic dùng diode
a. Cổng OR - b. Cổng AND

Xét sơ đồ mạch đơn giản trên hình 3.20

Sơ đồ hình a:

- $V_{x1} = V_{x2} = 0V \rightarrow D_1, D_2$ tắt: $V_y = V_R = 0V \rightarrow y = 0$
- $V_{x1} = 0V, V_{x2} = 5V \rightarrow D_1$ tắt, D_2 dẫn: $V_y = V_R = 5V \rightarrow y = 1$
- $V_{x1} = 5V, V_{x2} = 0V \rightarrow D_1$ dẫn, D_2 tắt: $V_y = V_R = 5V \rightarrow y = 1$
- $V_{x1} = V_{x2} = 5V \rightarrow D_1, D_2$ dẫn: $V_y = V_R = 5V \rightarrow y = 1$

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Đây chính là cổng OR được chế tạo trên cơ sở diode và điện trở hay còn gọi là họ DRL (Diode Resistor Logic) hoặc DL (Diode logic).

Sơ đồ hình b:

- $V_{x1} = V_{x2} = 0V \rightarrow D_1, D_2$ dẫn: $V_y = V_R = 0V \rightarrow y = 0$
- $V_{x1} = 0V, V_{x2} = 5V \rightarrow D_1$ dẫn, D_2 tắt: $V_y = V_R = 0V \rightarrow y = 0$
- $V_{x1} = 5V, V_{x2} = 0V \rightarrow D_1$ tắt, D_2 dẫn: $V_y = V_R = 0V \rightarrow y = 0$
- $V_{x1} = V_{x2} = 5V \rightarrow D_1, D_2$ tắt: $V_y = V_R = 5V \rightarrow y = 1$

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

Đây chính là mạch thực hiện chức năng của cổng AND được chế tạo trên cơ sở diode và điện trở (họ DRL hoặc DL).

b. Cổng logic dùng BJT

Họ RTL (Resistor Transistor Logic)

Cổng NOT (hình 3.21a)

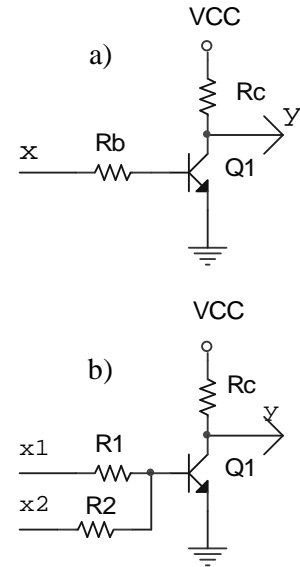
- $x = 0 \rightarrow$ BJT tắt $\rightarrow V_y = V_{cc} = 5V \rightarrow y = 1$
- $x = 1 \rightarrow$ BJT dẫn bão hòa $\rightarrow V_y = V_{ces} \approx 0V \rightarrow y = 0$

Đây là cổng NOT họ RTL (Resistor Transistor Logic).

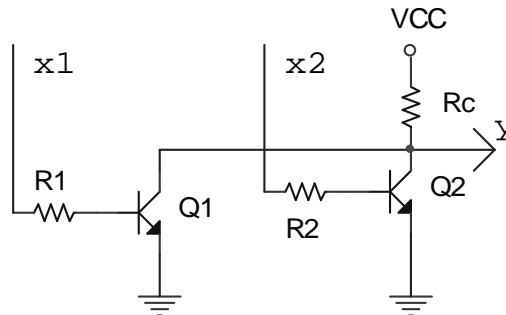
Cổng NOR (hình 3.21b)

- $x_1 = x_2 = 0 \rightarrow$ BJT tắt
 $\Rightarrow V_y = V_{cc} = 5V \Rightarrow y = 1$
- $x_1 = 0, x_2 = 1 \rightarrow$ BJT dẫn bão hòa
 $\Rightarrow V_y = V_{ces} \approx 0V \Rightarrow y = 0$
- $x_1 = 1, x_2 = 0 \rightarrow$ BJT dẫn bão hòa
 $\Rightarrow V_y = V_{ces} \approx 0V \Rightarrow y = 0$
- $x_1 = x_2 = 1 \rightarrow$ BJT dẫn bão hòa
 $\Rightarrow V_y = V_{ces} \approx 0V \Rightarrow y = 0$

Đây chính là cổng NOR họ RTL (Resistor Transistor Logic).



Hình 3.21.(a,b)



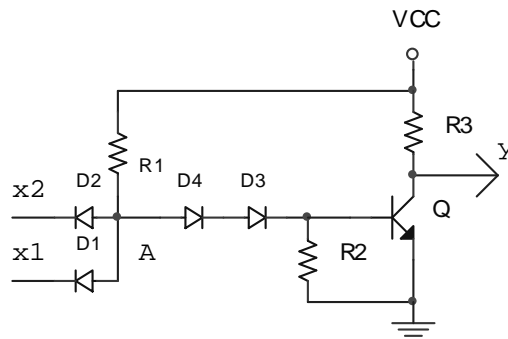
Hình 3.21c. Cổng NOR dùng 2 BJT

Tuy nhiên mạch này có nhược điểm là sự ảnh hưởng giữa các ngõ vào x_1 và x_2 rất lớn đặc biệt là khi hai ngõ vào có mức điện áp (mức logic) ngược nhau. Để khắc phục nhược điểm này người ta cải tiến mạch bằng cách sử dụng 2 BJT ở 2 ngõ vào độc lập với nhau như sơ đồ trên hình 3.21c.

Hãy giải thích hoạt động của mạch này?

Họ DTL (Diode-Transistor-Logic)

Trên hình 3.22 là sơ đồ mạch cổng NAND họ DTL.



Hình 3.22. Cổng NAND họ DTL

- Khi $x_1 = x_2 = 0$: các diode D_1, D_2 được phân cực thuận nên D_1, D_2 dẫn $\rightarrow V_A = V_\gamma = 0,7V$ (diode ghim điện áp). Mà điều kiện để các diode D_3, D_4 và BJT Q dẫn là:

$$V_A \geq 2V_{\gamma/D} + V_{\gamma/BJT} = 2.0,7 + 0,6 = 2 \text{ (V)}$$

\rightarrow Khi D_1, D_2 dẫn $\rightarrow D_3, D_4$ tắt \rightarrow BJT tắt \rightarrow ngõ ra $y = 1$.

- Khi $x_1 = 0, x_2 = 1$: D_1 dẫn, D_2 tắt $\rightarrow V_A = 0,7V$ (diode D_1 ghim điện áp) $\rightarrow D_3, D_4, BJT$ tắt \rightarrow ngõ ra $y = 1$.

- Khi $x_1 = 1, x_2 = 0$: D_1 tắt, D_2 dẫn $\rightarrow V_A = 0,7V$ (diode D_2 ghim điện áp) $\rightarrow D_3, D_4, BJT$ tắt \rightarrow ngõ ra $y = 1$.

- Khi $x_1 = x_2 = 1$: cả hai diode D_1, D_2 đều tắt $\rightarrow V_A \approx V_{cc}$, (thực tế $V_A = V_{cc} - V_{R1}$) \rightarrow điều kiện để diode D_3, D_4 dẫn thỏa mãn nên D_3, D_4 dẫn $\rightarrow BJT$ dẫn bão hòa \rightarrow ngõ ra $y = 0$.

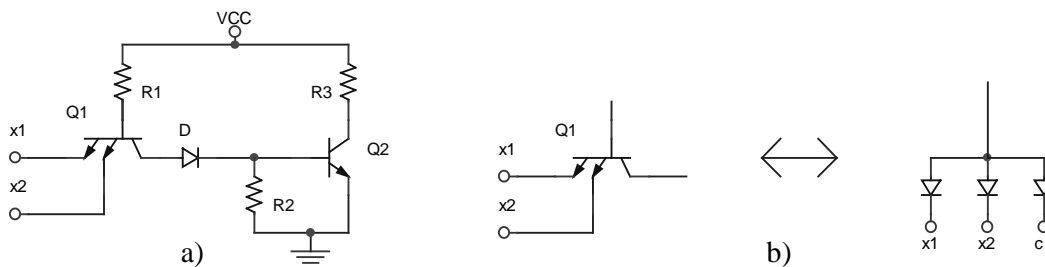
Vậy đây chính là sơ đồ mạch thực hiện cổng NAND họ DTL.

Nhiệm vụ của các linh kiện:

Nếu chỉ có một diode D_3 , giả sử $x_1 = x_2 = 0$, ngõ ra $y=1$, lúc này D_1 và D_2 dẫn, ta có $V_A = V_{\gamma/D_3} = 0,7(V)$. Nếu có một tín hiệu nhiễu bên ngoài chỉ khoảng $0,6V$ tác động vào mạch sẽ làm điện áp tại A tăng lên thành $1,3(V)$, và sẽ làm cho diode D_3 và Q dẫn. Nhưng nếu mắc nối tiếp thêm D_4 mạch có thể ngăn tín hiệu nhiễu lên đến $2V_\gamma = 1,2(V)$. Vậy, D_3 và D_4 có tác dụng nâng cao khả năng chống nhiễu của mạch.

Ngoài ra, R_2 làm tăng tốc độ chuyển đổi trạng thái của Q, vì lúc đầu khi Q dẫn sẽ có dòng đi qua R_2 tạo một phân áp cho tiếp giáp J_E của Q để phân cực thuận làm cho Q nhanh chóng dẫn, và khi Q tắt thì lượng điện tích sẽ xả qua R_2 nên BJT nhanh chóng tắt.

Họ TTL (Transistor - Transistor -Logic)



Hình 3.23. Cổng NAND họ TTL

a. Sơ đồ mạch, b. Transistor 2 tiếp giáp và sơ đồ tương đương

Transistor Q_1 được sử dụng gồm 2 tiếp giáp BE_1, BE_2 và một tiếp giáp BC . Tiếp giáp BE_1, BE_2 của Q_1 thay thế cho D_1, D_2 và tiếp giáp BC thay thế cho D_3 trong sơ đồ mạch cổng NAND họ DTL (hình 3.22).

Giải thích hoạt động của mạch (hình 3.23):

- $x_1 = x_2 = 0$ các tiếp giáp BE_1, BE_2 sẽ được mở làm cho điện áp cực nền của Q_1 : $V_B = V_\gamma = 0,6V$. Mà điều kiện để cho tiếp giáp BC , diode D và Q_2 dẫn thì điện thế ở cực nền của Q_1 phải bằng:

$$V_B = V_{\gamma/BC} + V_{\gamma/BE1} + V_{\gamma/BE2} = 0,6 + 0,7 + 0,6 = 1,9V$$

Chứng tỏ khi các tiếp giáp BE_1, BE_2 mở thì tiếp giáp BC , diode D và BJT Q_2 tắt $\rightarrow y = 1$.

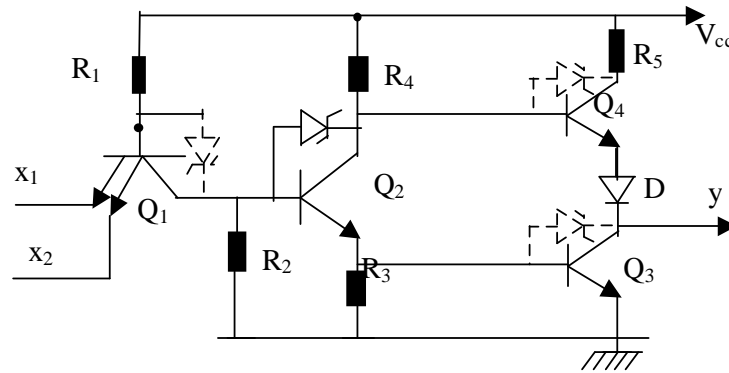
- $x_1 = 0, x_2 = 1$ các tiếp giáp BE_1 mở, BE_2 tắt thì tiếp giáp BC , diode D và BJT Q_2 tắt $\rightarrow y = 1$.

- $x_1 = 1, x_2 = 0$ các tiếp giáp BE_1 tắt, BE_2 mở thì tiếp giáp BC , diode D và BJT Q_2 tắt $\rightarrow y = 1$.

- $x_1 = x_2 = 1$ các tiếp giáp BE_1, BE_2 tắt thì tiếp giáp BC , diode D dẫn và BJT Q_2 dẫn bão hòa
 $\rightarrow y = 0$

Vậy, đây chính là mạch thực hiện cổng NAND theo công nghệ TTL.

Để nâng cao khả năng tải của cổng, người ta thường mắc thêm ở ngõ ra một tầng khuếch đại kiểu C chung (CC) như sơ đồ mạch trên hình 3.24:

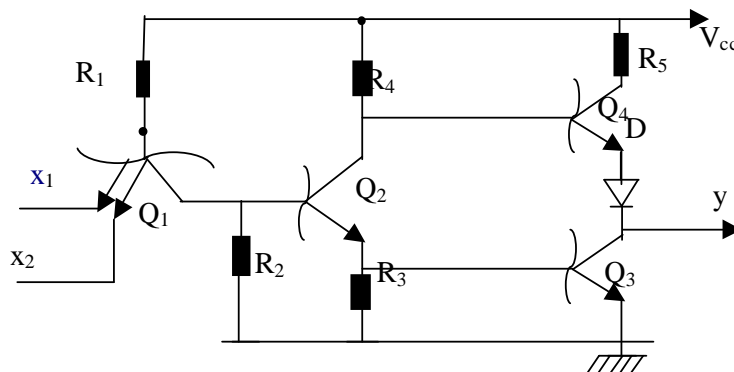


Hình 3.24

Để nâng cao tần số làm việc của cổng, người ta cho các BJT làm việc ở chế độ khuếch đại, điều đó có nghĩa là người ta không chế để sao cho các tiếp xúc J_C của BJT bao giờ cũng ở trạng thái phân cực ngược. Bằng cách mắc song song với tiếp xúc J_C của BJT một diode Schottky. Đặc điểm của diode Schottky là tiếp xúc của nó gồm một chất bán dẫn với một kim loại, nên nó không tích lũy điện tích trong trạng thái phân cực thuận nghĩa là thời gian chuyển từ phân cực thuận sang phân cực ngược nhanh hơn, nói cách khác BJT sẽ chuyển đổi trạng thái nhanh hơn.

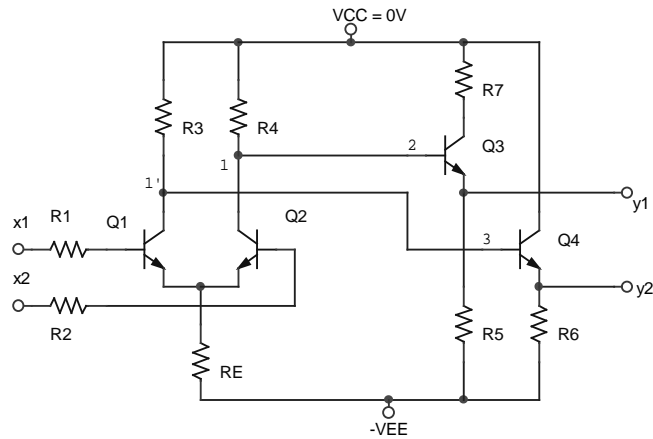
Lưu ý: Người ta cũng không dùng diode Zener bởi vì tiếp xúc của diode Zener là chất bán dẫn nên sẽ tích trữ điện tích dư.

Sơ đồ mạch cải tiến có diode Schottky trên sẽ vẽ tương đương như sau (hình 3.25):



Hình 3.25. Cổng logic họ TTL dùng diode Schottky

Họ ECL (Emitter-Coupled-Logic)



Hình 3.26. Cổng logic họ ECL (Emitter Coupled Logic)

Logic ghép emitter chung (ECL) là họ logic có tốc độ hoạt động rất cao và thường được dùng trong các ứng dụng đòi hỏi tốc độ cao. Tốc độ cao đạt được là nhờ vào các transistor được thiết kế để hoạt động trong chế độ khuếch đại, vì vậy chúng không bao giờ rơi vào trạng thái bão hòa và do đó thời gian tích lũy hoàn toàn bị loại bỏ. Họ ECL đạt được thời gian trễ lan truyền nhỏ hơn 1ns trên mỗi cổng.

Nhược điểm của họ ECL: Ngõ ra có điện thế âm nên nó không tương thích về mức logic với các họ logic khác.

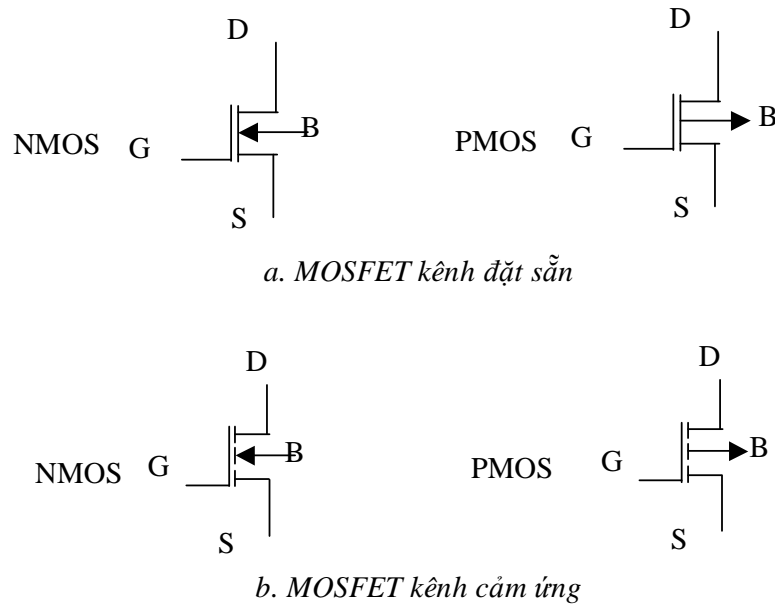
Giải thích hoạt động của mạch (hình 3.26):

- Khi $x_1 = x_2 = 0$: Q_1, Q_2 dẫn nên điện thế tại cực nền (2), (3) của Q_3, Q_4 càng âm (do 1 và 1' âm) nên Q_3, Q_4 tắt $\rightarrow y_1 = 1, y_2 = 1$.
- Khi $x_1 = 0, x_2 = 1$: Q_1 dẫn, Q_2 tắt nên điện thế tại cực nền (2) của Q_3 dương, điện thế tại cực nền (3) của Q_4 càng âm nên Q_3 dẫn, Q_4 tắt $\rightarrow y_1 = 0, y_2 = 1$.
- Khi $x_1 = 1, x_2 = 0$: Q_1 tắt, Q_2 dẫn nên điện thế tại cực nền (2) của Q_3 âm, điện thế tại cực nền (3) của Q_4 càng dương nên Q_3 dẫn, Q_4 tắt $\rightarrow y_1 = 1, y_2 = 0$.
- Khi $x_1 = x_2 = 1$: Q_1, Q_2 tắt nên điện thế tại cực nền (2), (3) của Q_3, Q_4 càng dương nên Q_3, Q_4 dẫn $\rightarrow y_1 = 0, y_2 = 0$.

c. Cổng logic dùng MOSFET

MOSFET (**M**etal **O**xyt **S**emiconductor **F**ield **E**ffect **T**ransistor), còn gọi là IGFET (**I**solated **G**ate **F**ET - Transistor trường có cực cổng cách ly).

MOSFET có hai loại: Loại có kênh đặt sẵn và loại có kênh cảm ứng.



Hình 3.27. Ký hiệu các loại MOSFET khác nhau

Dù là MOSFET có kênh đặt sẵn hay kênh cảm ứng đều có thể phân chia làm hai loại:

- MOSFET kênh N gọi là NMOS
- MOSFET kênh P gọi là PMOS.

Đặc điểm của 2 loại này khác nhau như sau:

- PMOS: Tiêu thụ công suất thấp, tốc độ chuyển đổi trạng thái chậm.
- NMOS: Tiêu thụ công suất lớn hơn, tốc độ chuyển đổi trạng thái nhanh hơn.

Trên hình 3.27 là ký hiệu của các loại MOSFET khác nhau.

Chú ý: MOSFET kênh đặt sẵn có thể làm việc ở hai chế độ giàu kênh và nghèo kênh trong khi MOSFET kênh cảm ứng chỉ làm việc ở chế độ giàu kênh.

Dùng NMOS kênh cảm ứng chế tạo các cổng logic

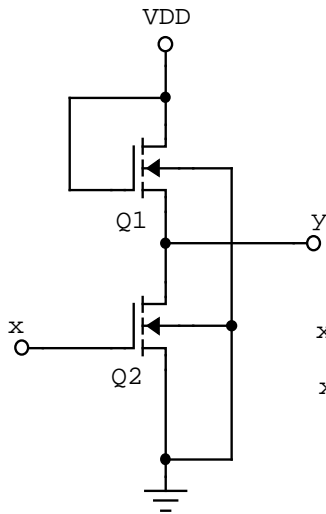
Xét các cổng logic loại NMOS trên hình 3.28.

Điều kiện để cổng NMOS dẫn: $V_D > V_S$, $V_G > V_B$

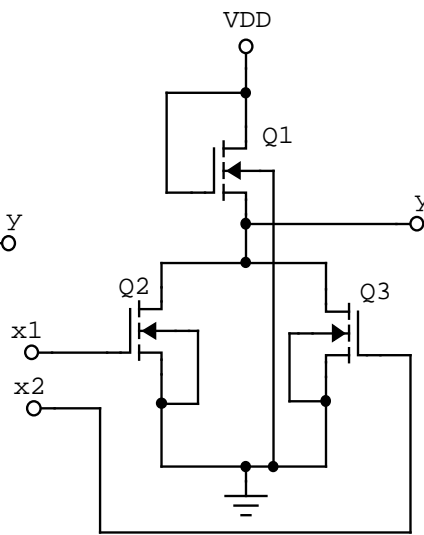
Trong tất cả hình vẽ ta có :

$$Q_1 \begin{cases} R_{DS(ON)} = 200 K\Omega \\ R_{DS(OFF)} = \end{cases} \quad Q_2, Q_3 \begin{cases} R_{DS(ON)} = 1 K\Omega \\ R_{DS(OFF)} = 10^7 K\Omega \end{cases}$$

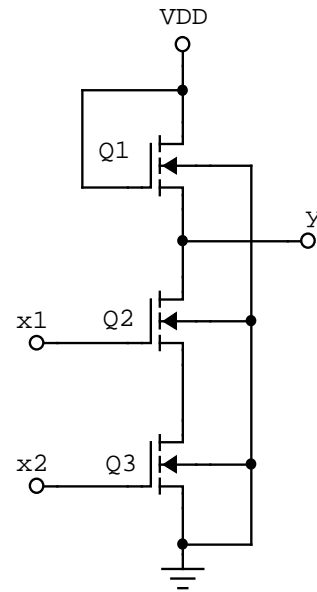
Hình 3.28a (cổng NOT)



a) Cổng NOT



b) Cổng NOR



c) Cổng NAND

Hình 3.28 Các cổng logic chế tạo bằng NMOS

Theo điều kiện để cổng NMOS dẫn: $V_D > V_S$, $V_G > V_B$

Ta thấy Q_1 có B nối mass thỏa mãn điều kiện nên: **Q_1 luôn luôn dẫn.**

- Khi $x = 0$: Q_1 dẫn, Q_2 tắt (vì $V_{G2} = V_{B2} = 0$ nên không hình thành điện trường giữa G và B \rightarrow không hút được các e- là hạt dẫn thiểu số ở vùng đế B \rightarrow không hình thành được kênh dẫn). Lúc này, theo sơ đồ tương đương (hình 3.29a) ta có:

$$V_y = \frac{R_{DS(OFF)/Q2}}{R_{DS(ON)/Q1} + R_{DS(OFF)/Q2}} V_{DD}$$

$$= \frac{10^7 K}{200K + 10^7 K} V_{DD}$$

$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

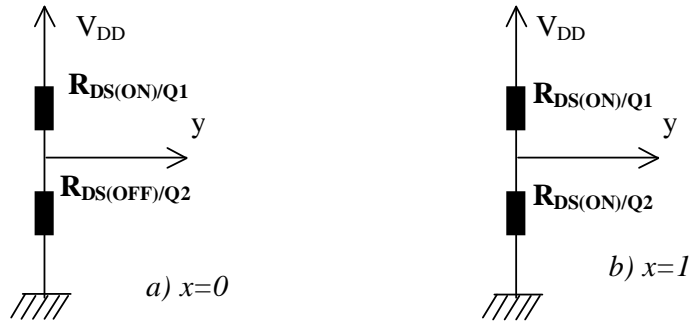
- Khi $x = 1$: lúc này $V_{G/Q2} > V_{B/Q2} \rightarrow$ hình thành một điện trường hướng từ G đến B, điện trường này hút các điện tử là các hạt dẫn thiểu số trong vùng đế B di chuyển theo chiều ngược lại về mặt đối diện, hình thành kênh dẫn nối liền giữa G và B và có dòng điện i_D đi từ D qua $\rightarrow Q_2$ dẫn. Như vậy Q_1 , Q_2 đều dẫn, ta sẽ có sơ đồ tương đương (hình 3.29b). Theo sơ đồ này ta có:

$$V_y = \frac{R_{DS(ON)/Q2}}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2}} V_{DD}$$

$$= \frac{1K}{200K + 1K} V_{DD}$$

$$\Rightarrow V_y \approx \frac{1}{200} V_{DD} = 0,025V \Rightarrow y = 0$$

Vậy mạch ở hình 3.28a là mạch thực hiện cổng NOT.



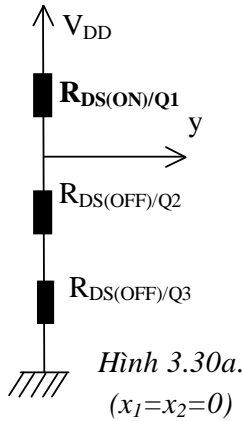
Hình 3.29 Sơ đồ tương đương mạch hình 3.28a

Hình 3.28c (cổng NAND)

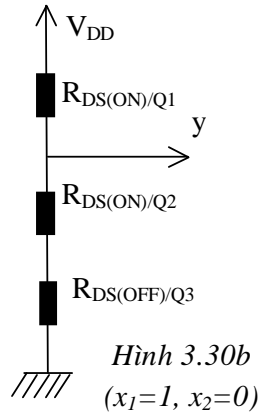
- Khi $x_1 = x_2 = 0$ (hình 3.30a): Q_1 luôn dẫn, Q_2 và Q_3 đều tắt, lúc đó theo sơ đồ tương đương ta có:

$$V_y = \frac{R_{DS(OFF)/Q2} + R_{DS(OFF)/Q3}}{R_{DS(ON)/Q1} + R_{DS(OFF)/Q2} + R_{DS(OFF)/Q3}} V_{DD}$$

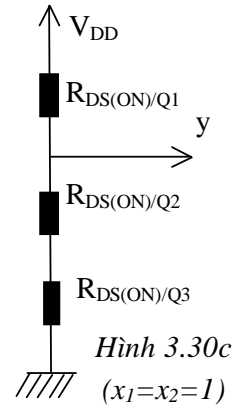
$$= \frac{10^7 K + 10^7 K}{200K + 10^7 K + 10^7 K} V_{DD} \Rightarrow V_y \approx V_{DD} \Rightarrow y = 1.$$



Hình 3.30a.
($x_1=x_2=0$)



Hình 3.30b
($x_1=1, x_2=0$)



Hình 3.30c
($x_1=x_2=1$)

- Khi $x_1 = 1, x_2=0$ (hình 3.30b): Q_1, Q_2 dẫn và Q_3 tắt lúc đó theo sơ đồ tương đương ta có:

$$V_y = \frac{R_{DS(ON)/Q2} + R_{DS(OFF)/Q3}}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2} + R_{DS(OFF)/Q3}} V_{DD} = \frac{1K + 10^7 K}{200K + 1K + 10^7 K} V_{DD}$$

$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi $x_1 = 0, x_2=1$: Q_1, Q_3 dẫn và Q_2 tắt, giải thích tương tự ta có $V_y \approx V_{DD} \rightarrow y = 1$.
- Khi $x_1=1, x_2=1$ (hình 3.30c): Q_1, Q_2 và Q_3 đều dẫn, lúc đó theo sơ đồ tương đương ta có:

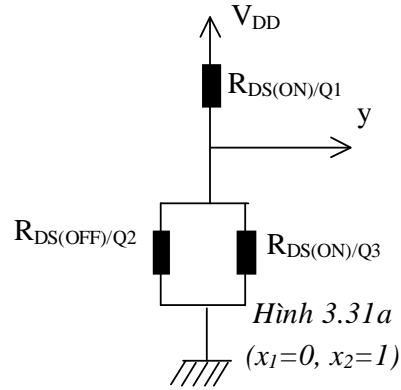
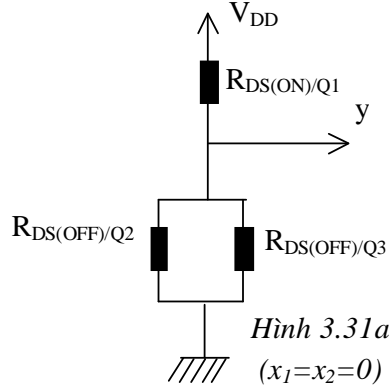
$$V_y = \frac{R_{DS(ON)/Q2} + R_{DS(ON)/Q3}}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2} + R_{DS(ON)/Q3}} V_{DD} = \frac{1 K + 1K}{200K + 1K + 1K} V_{DD}$$

$$\Rightarrow V_y \approx 0,05V \Rightarrow y = 0.$$

Vậy hình 3.28c là mạch thực hiện cổng NAND.

Hình 3.28b (cổng NOR)

Ta lần lượt xét các trường hợp sau: (sơ đồ tương đương hình 3.31)



- Khi $x_1 = x_2 = 0$ (hình 3.31a) : Q_1 dẫn, Q_2 và Q_3 đều tắt, lúc đó theo sơ đồ tương đương ta có:

$$V_y = \frac{(R_{DS(OFF)/Q2}) // (R_{DS(OFF)/Q3})}{R_{DS(ON)/Q1} + [(R_{DS(OFF)/Q2}) // (R_{DS(OFF)/Q3})]} V_{DD} = \frac{10^7 K // 10^7 K}{200K + (10^7 K // 10^7 K)} V_{DD}$$

$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi $x_1=0, x_2=1$ (hình 3.31b): Q_1 và Q_3 dẫn, Q_2 tắt, ta có:

$$V_y = \frac{(R_{DS(OFF)/Q2}) // (R_{DS(ON)/Q3})}{R_{DS(ON)/Q1} + [(R_{DS(OFF)/Q2}) // (R_{DS(ON)/Q3})]} V_{DD} = \frac{10^7 K // 1K}{200K + (10^7 K // 1K)} V_{DD}$$

$$\Rightarrow V_y \approx \frac{1}{201} V_{DD} \approx 0,005V \Rightarrow y = 0$$

- Khi $x_1=1, x_2=0$: Q_1 và Q_2 dẫn, Q_3 tắt, giải thích tương tự ta có:

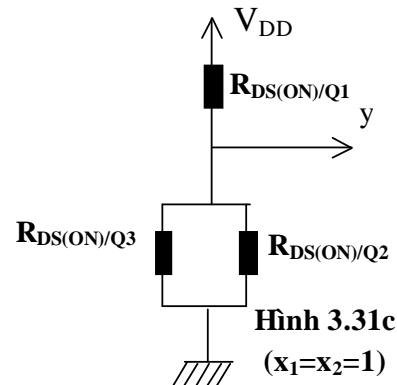
$$V_y \approx \frac{1}{201} V_{DD} \approx 0,005V \Rightarrow y = 0$$

- Khi $x_1=x_2=1$ (hình 3.31c): Q_1, Q_2, Q_3 đều dẫn, ta có:

$$V_y = \frac{(R_{DS(ON)/Q2}) // (R_{DS(ON)/Q3})}{R_{DS(ON)/Q1} + [(R_{DS(ON)/Q2}) // (R_{DS(ON)/Q3})]} V_{DD} = \frac{1K // 1K}{200K + (1K // 1K)} V_{DD}$$

$$\Rightarrow V_y \approx \frac{0,5}{200} V_{DD} \Rightarrow y = 0.$$

Vậy, sơ đồ mạch trên hình 3.28b chính là mạch thực hiện cổng NOR.



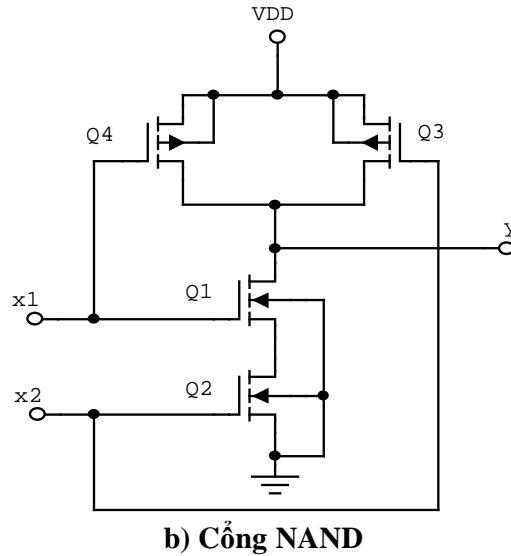
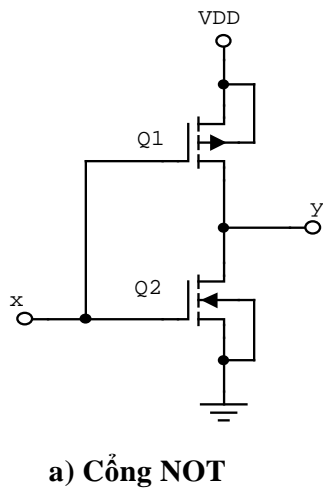
Các cổng logic họ CMOS (Complementation MOS)

Đây là loại cổng trong đó các transistor được sử dụng thuộc loại MOSFET và luôn có sự kết hợp giữa PMOS và NMOS, vì vậy mà người ta gọi là CMOS. Nhờ cấu trúc này mà vi mạch CMOS có những ưu điểm sau:

- Công suất tiêu thụ ở trạng thái tĩnh rất nhỏ.
- Tốc độ chuyển đổi trạng thái cao.
- Khả năng chống nhiễu tốt.
- Khả năng tải cao.

Trên hình 3.32 là các cổng logic họ CMOS, chúng ta sẽ lần lượt giải thích hoạt động của mỗi sơ đồ mạch.

Hình 3.32a (cổng NOT)



Hình 3.32 Các cổng logic họ CMOS

Điều kiện để cổng PMOS dẫn : $V_S > V_D$, $V_G < V_B$

Điều kiện để cổng NMOS dẫn : $V_D > V_S$, $V_G > V_B$

- Khi $x = 0$ (hình 3.33a): Q_1 dẫn, Q_2 tắt, từ sơ đồ tương đương ta có:

$$V_y = \frac{R_{DS(OFF)/Q2}}{R_{DS(ON)/Q1} + R_{DS(OFF)/Q2}} V_{DD} = \frac{10^7 K}{1K + 10^7 K} V_{DD}$$

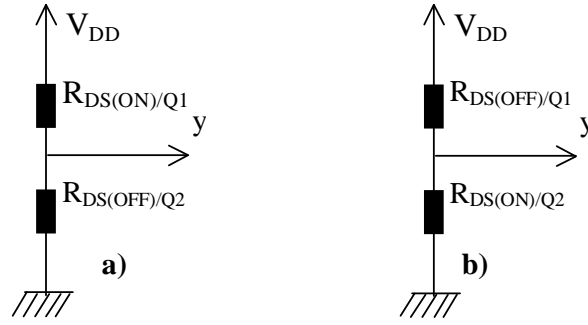
$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi $x = 1$ (hình 3.33b): Q_1 tắt, Q_2 dẫn, ta có:

$$V_y = \frac{R_{DS(ON)/Q2}}{R_{DS(OFF)/Q1} + R_{DS(ON)/Q2}} V_{DD} = \frac{1K}{1K + 10^7 K} V_{DD} \Rightarrow V_y \approx \frac{1}{10^7} V_{DD}$$

vì rất nhỏ so với điện thế bão hòa của CMOS ở mức logic 0 $\rightarrow y = 0$.

Vậy mạch ở hình 3.32a là mạch thực hiện cổng NOT theo công nghệ CMOS. Sơ đồ tương đương tương ứng với 2 trường hợp $x=0$ và $x=1$ được cho trên hình 3.33.



Hình 3.33. Sơ đồ tương đương: a. Khi $x=0$ b. Khi $x=1$

Hình 3.32b (cổng NAND)

Sơ đồ tương đương của mạch cổng NAND họ CMOS được cho trên hình 3.34.

- Khi $x_1=x_2=0$: Q_4 và Q_3 dẫn, Q_2 và Q_1 tắt, ta có:

$$V_y = \frac{(R_{DS(OFF)/Q2}) // (R_{DS(OFF)/Q1})}{R_{DS(OFF)/Q1} + R_{DS(OFF)/Q2} + [(R_{DS(ON)/Q4}) // (R_{DS(ON)/Q3})]} V_{DD} = \frac{10^7 K // 10^7 K}{10^7 K // 10^7 K + (1K // 1K)} V_{DD}$$

$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi $x_1 = 0, x_2 = 1$: Q_2 và Q_3 dẫn, Q_1 và Q_4 tắt, ta có :

$$V_y = \frac{(R_{DS(OFF)/Q1}) // (R_{DS(ON)/Q2})}{R_{DS(OFF)/Q1} + R_{DS(OFF)/Q2} + [(R_{DS(ON)/Q3}) // (R_{DS(OFF)/Q4})]} V_{DD} = \frac{10^7 K + 1K}{10^7 K + 1K + (10^7 K // 1K)} V_{DD}$$

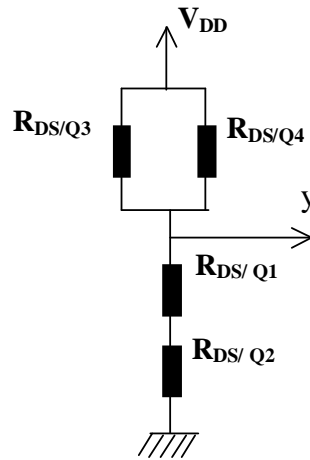
$$\Rightarrow V_y \approx V_{DD} \Rightarrow y = 1$$

- Khi $x_1 = 1, x_2 = 0$: Q_3 và Q_2 dẫn, Q_1 và Q_4 tắt: $V_y \approx V_{DD} \Rightarrow y = 1$

- Khi $x_1 = x_2 = 1$: Q_2 và Q_1 dẫn, Q_3 và Q_4 tắt, ta có:

$$V_y = \frac{(R_{DS(ON)/Q1}) // (R_{DS(ON)/Q2})}{R_{DS(ON)/Q1} + R_{DS(ON)/Q2} + [(R_{DS(OFF)/Q4}) // (R_{DS(OFF)/Q3})]} V_{DD} = \frac{1K + 1K}{1K + 1K + (10^7 K // 10^7 K)} V_{DD}$$

$$\Rightarrow V_y \approx 0V \Rightarrow y = 0 \Rightarrow \text{Đây chính là mạch thực hiện cổng NAND.}$$

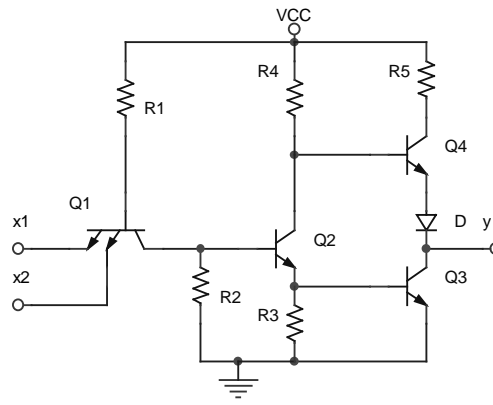


Hình 3.34.

3. Phân loại cổng logic theo ngõ ra

a. Ngõ ra cột chập (Totem Pole Output)

Xét cổng logic họ TTL với sơ đồ mạch như hình 3.35.



Hình 3.35. Ngõ ra cột chập

- Khi $x_1=x_2=1$: Tiếp giáp BE_1, BE_2 của Q_1 phân cực ngược nên Q_1 tắt. Điện thế tại cực nền của Q_1 làm cho tiếp giáp BC/Q_1 mở, có dòng điện chảy qua tiếp giáp BC/Q_1 đổ vào cực nền của Q_2 , Q_2 được phân cực thuận nên dẫn bão hòa. Do Q_2 dẫn bão hòa dẫn tới Q_3 dẫn bão hòa.

Khi Q_2 dẫn bão hòa thì điện thế tại cực C/ Q_2

$$V_{C/Q2} = V_{B/Q4} = V_{ces/Q2} + V_{bes/Q3} = 0,2 + 0,8 = 1V$$

Mà điều kiện cần cho Q_4 dẫn là:

$$V_{C/Q2} = V_{B/Q4} = V_{be/Q4} + V_{\gamma/D} + V_{ces/Q3} = 0,6 + 0,8 + 0,2 = 1,6V$$

Ta thấy điều kiện này không thỏa mãn khi Q_2 dẫn bão hòa, do đó khi Q_2 dẫn bão hòa $\rightarrow Q_4$ tắt \rightarrow cắt nguồn V_{CC} ra khỏi mạch. Lúc này ta nói rằng cổng sẽ hút dòng vào và dòng từ ngoài qua tải đổ vào ngõ ra của cổng đi qua Q_3 , người ta nói Q_3 là nơi nhận dòng và dòng đổ vào Q_3 gọi là dòng ngõ ra mức thấp, ký hiệu I_{OL} .

Về mặt thiết kế mạch: ta thấy rằng dòng tải I_t cũng chính là dòng ngõ ra mức thấp I_{OL} và là dòng đổ từ ngoài vào qua Q_3 , dòng này phải nằm trong giới hạn chịu đựng dòng của Q_3 để Q_3 không bị đánh thủng thì mạch sẽ làm việc bình thường.

Dòng I_{OL} thay đổi tùy thuộc vào công nghệ chế tạo:

- + TTL : dòng ngõ ra mức thấp I_{OL} lớn nhất 16mA.
- + TTL/LS : dòng ngõ ra mức thấp I_{OL} lớn nhất 8mA.

Đây là những thông số rất quan trọng cần chú ý trong quá trình thiết kế mạch số họ TTL để đảm bảo độ an toàn và ổn định của mạch.

- Các trường hợp còn lại ($x_1=0, x_2=1$; $x_1=1, x_2=0$; $x_1=x_2=0$): Lúc này Q_2 và Q_3 tắt còn Q_4 dẫn $\rightarrow y = 1$. Ta nói cổng cấp dòng ra, dòng này đổ từ nguồn qua Q_4 và diode D xuống cung cấp cho tải, người ta gọi là dòng ngõ ra mức cao, ký hiệu I_{OH} .

Điện áp ngõ ra V_Y được tính phụ thuộc vào dòng tải I_{OH} :

$$V_Y = V_{logic1} = V_{cc} - I_{OH}R_5 - V_{ces/Q4} - V_{\gamma/D}$$

Thông thường khi có tải $V_{logic1 \max} = (3,4V \rightarrow 3,6V)$

I_{OH} cũng chính là dòng qua tải I_t , nếu I_{OH} càng tăng thì V_{logic1} càng giảm và ngược lại. Song V_{logic1} chỉ được phép giảm đến một giá trị cho phép $V_{logic1 \min} = 2,2V$.

Về mặt thiết kế mạch: ta chọn $V_{logic1\ min} = 2,4V$ để bảo đảm cổng cấp dòng ra khi ở mức logic 1 không được nhỏ hơn $V_{logic1\ min}$ và đảm bảo cổng hút dòng vào khi ở mức logic 0 thì dòng tải ở mức logic 0 không được lớn hơn dòng I_{OL} .

Nhược điểm của ngõ ra cột chạm: **Không cho phép nối chung các ngõ ra lại với nhau có thể làm hỏng cổng.**

b. Ngõ ra cực thu để hở (Open Collector Output)

Về phương diện cấu tạo gần giống với ngõ ra cột chạm nhưng khác với ngõ ra cột chạm là không có Q_4 , diode D, R_5 và lúc này cực thu (cực C) của Q_3 để hở.

Do đó để cổng làm việc trong thực tế ta nối ngõ ra của cổng (cực C của Q_3) lên nguồn V'_{CC} bằng phần tử thụ động R. Nguồn V'_{CC} có thể cùng giá trị với V_{CC} hoặc khác tùy thuộc vào mục đích thiết kế.

Chúng ta lần lượt phân tích các trường hợp hoạt động của mạch:

- Khi $x_1=x_2=1$: Tiếp giáp BE_1 , BE_2 phân cực ngược, điện thế tại cực nền của Q_1 làm cho tiếp giáp BC/Q_1 mở nên Q_2 dẫn bão hòa, Q_2 dẫn bão hòa kéo theo Q_3 dẫn bão hòa $\rightarrow y = 0$, do đó điện áp tại ngõ ra y:

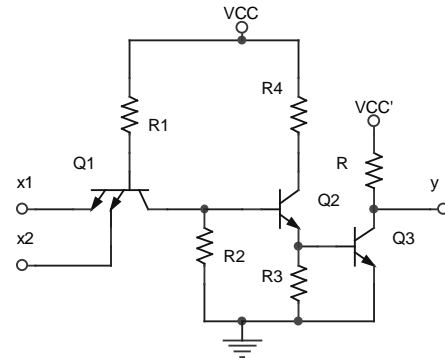
$$\begin{aligned} V_Y &= V_{logic0} = V_{C/Q3} = V_{ces/Q3} \\ &= 0,2V \approx 0V \end{aligned}$$

Lúc này cổng sẽ hút dòng vào và Q_3 là nơi nhận dòng, ta gọi là **dòng ngõ ra mức thấp I_{OL}** .

- Các trường hợp còn lại ($x_1=0, x_2=1$; $x_1=1, x_2=0$; $x_1=x_2=0$): Có ít nhất một tiếp giáp BE/Q_1 mở, ghim điện thế tại cực nền Q_1 làm cho tiếp giáp BC/Q_1 , Q_2 , Q_3 đều tắt, lúc này cổng cấp dòng ra từ nguồn V'_{CC} qua điện trở R cấp cho tải ở mạch ngoài $\rightarrow y=1$, người ta gọi là **dòng ngõ ra mức cao I_{OH}** .

Ta có:

$$V_Y = V_{logic1} = V'_{CC} - I_{OH} \cdot R$$

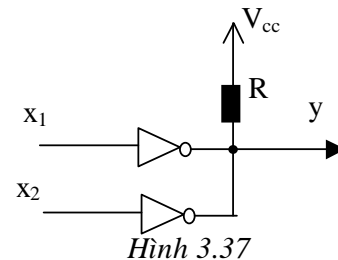


Hình 3.36. Ngõ ra cực thu để hở

Ưu điểm của ngõ ra có cực thu để hở:

- Cho phép nối chung các ngõ ra lại với nhau.
- Trong một vài trường hợp khi nối chung các ngõ ra lại với nhau có thể tạo thành cổng logic khác.

Ví dụ: Mạch ở hình 3.37 sử dụng các cổng NOT có ngõ ra cực thu để hở, khi nối chung các ngõ ra lại với nhau có thể tạo thành cổng NOR. (Hãy giải thích hoạt động của mạch này?)



Hình 3.37

c. Ngõ ra ba trạng thái (Three States Output)

Về mặt cấu trúc và cấu tạo hoàn toàn giống ngõ ra cột chạm, tuy nhiên có thêm ngõ vào thứ 3 cho phép mạch hoạt động kí hiệu là E (Enable).

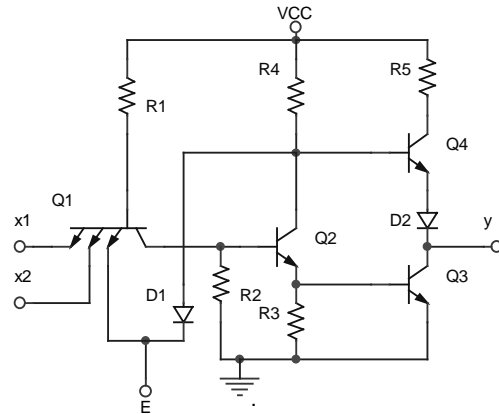
- **E=1**: diode D_1 tắt, mạch làm việc hoàn toàn giống cổng NAND ngõ ra cột chạm. Lúc đó mạch tồn tại một trạng thái $y = 0$ hoặc $y = 1$ tùy thuộc vào các trạng thái logic của 2 ngõ vào x_1, x_2 .

- **E=0**: diode tiếp giáp BE_3 mở, ghim áp trên cực nền của Q_1 làm cho tiếp giáp BC/Q_1 tắt và Q_2, Q_3 cũng tắt. Lúc này diode D_1 dẫn ghim điện thế ở cực C của Q_2 :

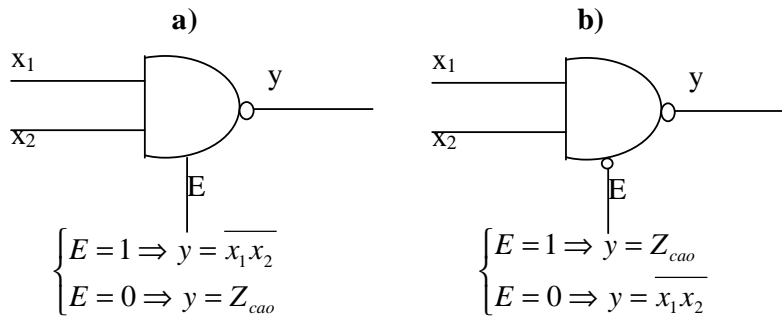
$$V_{C/Q2} = V_{B/Q4} = V_{\gamma/D1} = 0,7V \Rightarrow Q_4 \text{ tắt.}$$

Nên cổng không cấp dòng ra và cũng không hút dòng vào. Lúc này, ngõ ra y chỉ nối với cổng về phương diện vật lý nhưng lại cách ly về phương diện điện, tương đương với trạng thái trở kháng cao. Chính vì vậy mà người ta gọi là trạng thái thứ ba là trạng thái tổng trở cao.

Trong trường hợp này ngõ vào cho phép E tích cực mức cao (mức logic 1). Thực tế các cổng logic với ngõ ra 3 trạng thái có thể có ngõ vào điều khiển E tích cực mức cao (mức 1) hoặc tích cực mức thấp (mức 0). Chẳng hạn một cổng NAND với ngõ ra 3 trạng thái có thể được ký hiệu như trên hình vẽ 3.39.



Hình 3.38. Ngõ ra 3 trạng thái



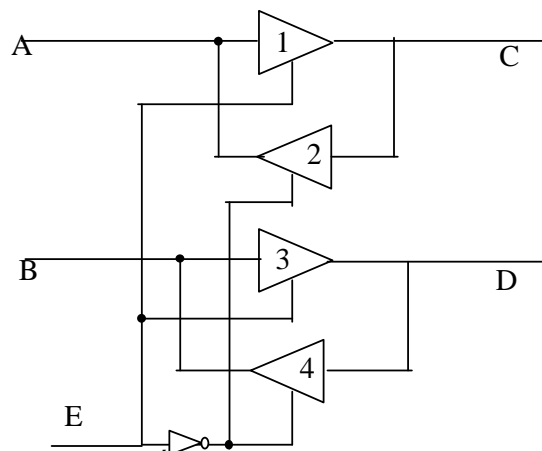
Hình 3.39. Cổng NAND 3 trạng thái với ngõ vào E

a. E tích cực mức cao - b. E tích cực mức thấp

Ứng dụng của ngõ ra 3 trạng thái:

- Sử dụng ngõ ra ba trạng thái để chế tạo ra cổng đệm 2 chiều.
- Chế tạo các chip nhớ của bộ vi xử lý.

Một ứng dụng của ngõ ra ba trạng thái trong mạch xuất/nhập dữ liệu 2 chiều có thể cho trên sơ đồ 3.40. Hãy thử giải thích sơ đồ này ?



Hình 3.40. Ứng dụng của ngõ ra 3 trạng thái

- E=1: Cổng đệm 1 và 3 mở, 2 và 4 treo lên tổng trở cao: dữ liệu đi từ A→C, B→D. Vậy dữ liệu được xuất ra.
- E=0: Cổng đệm 2 và 4 mở, 1 và 3 treo lên tổng trở cao: dữ liệu đi từ C→A, D→B. Vậy dữ liệu được nhập vào.

3.2.3. Các thông số kỹ thuật của cổng logic

1. Công suất tiêu tán P_t

Một phần tử logic khi làm việc phải trải qua các giai đoạn sau:

- Ở trạng thái tắt.
- Chuyển từ trạng thái tắt sang trạng thái dẫn.
- Ở trạng thái dẫn.
- Chuyển từ trạng thái dẫn sang tắt.

Ở mỗi giai đoạn, phần tử logic đều tiêu thụ ở nguồn một công suất.

Đối với các phần tử logic họ TTL: các phần tử TTL tiêu thụ công suất của nguồn chủ yếu khi ở trạng thái tĩnh (đang dẫn hoặc đang tắt).

- Nếu gọi P^0 là công suất tiêu thụ ứng với ngõ ra của phần tử logic tồn tại ở mức logic 0.
- Nếu gọi P^1 là công suất tiêu thụ ứng với ngõ ra của phần tử logic tồn tại ở mức logic 1.
- Gọi P là công suất tiêu tán trung bình thì:

$$P = \frac{P^0 + P^1}{2}$$

Đối với cả vi mạch (IC – Integrated Circuit) người ta tính như sau:

- Gọi I_{CL} dòng do nguồn cung cấp khi ngõ ra ở mức logic 0.
- Gọi I_{CH} dòng do nguồn cung cấp khi ngõ ra ở mức logic 1.
- Gọi I_C là dòng trung bình thì :

$$I_C = \frac{I_{CL} + I_{CH}}{2}$$

- Thì công suất tiêu tán cho cả vi mạch được tính:

$$P_t = I_C \cdot V_{CC}$$

Đối với vi mạch họ CMOS: chỉ tiêu thụ công suất chủ yếu trong trạng thái động (trong thời gian chuyển mạch). Công suất tiêu tán:

$$P_t = C_L \cdot f \cdot V_{DD}^2$$

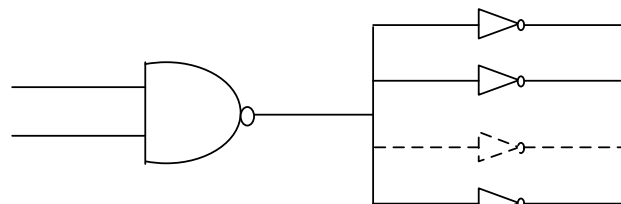
Trong đó: C_L là điện dung của tải (điện dung tải)

Như vậy ta thấy đối với vi mạch CMOS tần số hoạt động (tần số chuyển mạch) càng lớn công suất tiêu tán càng tăng.

2. Fanout (Hệ số mắc mạch ngõ ra)

Fanout là hệ số mắc mạch ở ngõ ra hay còn gọi là khả năng tải của một phần tử logic.

Gọi N là Fanout của một phần tử logic, thì nó được định nghĩa như sau: Số ngõ vào logic cực đại được nối đến một ngõ ra của phần tử logic cùng họ mà mạch vẫn hoạt động bình thường (hình 3.41).



Hình 3.41. Khái niệm về Fanout

Xét ví dụ đối với họ DTL: (Hình 3.42)

- $y=1$: mạch hoạt động bình thường.
- $y=0$: BJT dẫn bão hòa, dòng bão hòa gồm hai thành phần:

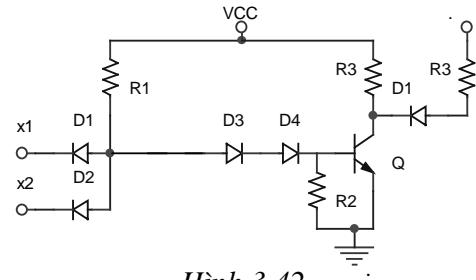
$$I_{CS} = I_{R3} + N I_1$$

(với N là số phần tử tải mắc ở ngõ ra)

Mặt khác: $I_B = I_{R1} - I_{R2} = \text{const}$, mà I_{CS} tăng lên do có dòng ghép đổ vào \rightarrow điều kiện dẫn bão hòa không thỏa mãn \rightarrow BJT ra khỏi chế độ dẫn bão hòa và đi vào chế độ khuếch đại, lúc đó V_Y tăng lên nên ngõ ra không còn đảm bảo ở mức logic 0 nữa. Vậy, điều kiện để mạch hoạt động bình thường là:

$$I_{R3} + N I_1 < \beta_{\min} I_B \Rightarrow N < \frac{\beta_{\min} I_B - I_{R3}}{I_1} \quad (*)$$

N : số lớn nhất thỏa mãn điều kiện (*) được gọi là Fanout của phần tử logic DTL.



Hình 3.42

3. Fanin (Hệ số mắc mạch ngõ vào)

Gọi M là Fanin của 1 phần tử logic thì M được định nghĩa như sau: Đó chính là “số ngõ vào logic cực đại của một phần tử logic”.

Đối với các phần tử logic thực hiện chức năng cộng logic, thì số lượng M lớn nhất là 4 ngõ vào. Đối với các phần tử logic thực hiện chức năng nhân logic, thì số lượng M lớn nhất là 6 ngõ vào.

Đối với họ logic CMOS thì có M nhiều hơn nhưng cũng không quá 8 ngõ vào.

4. Độ chống nhiễu

Độ ổn định nhiễu là tiêu chuẩn đánh giá độ nhạy của mạch logic đối với tạp âm xung trên đầu vào. Độ ổn định nhiễu (tĩnh) là giá trị điện áp nhiễu tối đa trên đầu vào không làm thay đổi trạng thái logic của mạch, còn gọi là mức ổn định nhiễu.

5. Trễ truyền đạt

Trễ truyền đạt là khoảng thời gian để đầu ra của mạch có đáp ứng đối với sự thay đổi mức logic của đầu vào.

Trễ truyền đạt là tiêu chuẩn để đánh giá tốc độ làm việc của mạch. Tốc độ làm việc của mạch tương ứng với tần số mà mạch vẫn còn hoạt động đúng. Như vậy, trễ truyền đạt càng nhỏ càng tốt hay tốc độ làm việc càng lớn càng tốt.

Đối với hầu hết các vi mạch số hiện nay, trễ truyền đạt là rất nhỏ, cỡ vài nano giây (ns). Một vài loại mạch logic có thời gian trễ lớn cỡ vài trăm nano giây.

Khi mắc liên tiếp nhiều mạch logic thì trễ truyền đạt của toàn mạch sẽ bằng tổng các trễ truyền đạt của mỗi tầng.